

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-266177

(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

G06F 15/64

(21)Application number : 04-062956

(71)Applicant : NEC CORP

(22)Date of filing : 19.03.1992

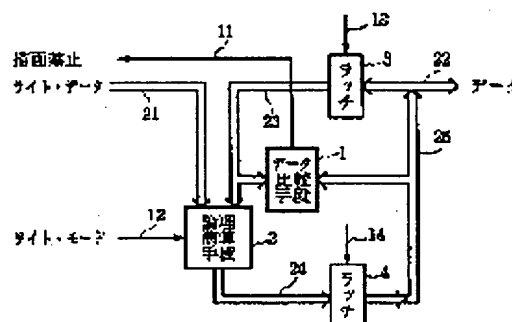
(72)Inventor : HORIGUCHI TATEJI

(54) PLOTTING DEVICE

(57)Abstract:

PURPOSE: To speed up a plotting process and reduce memory access by omitting a following writing process when a comparing means detects a coincidence of data.

CONSTITUTION: Data latches 3 and 4 store data of data buses 22 and 24 according to data latch signals 13 and 14 and continue to output the values to data buses 23 and 25 until the data latch signals 13 and 14 are inputted next. A logical arithmetic means 2 logically processes previously set write data and the data of the data bus 23 in logical arithmetic mode previously specified with a logical arithmetic mode signal 12, compares the result with the data of the data bus 23 and the data of the data bus 25, and outputs a write processing inhibiting signal 11 when they are equal to each other. Thus, the following writing process is inhibited to omit the unnecessary writing process in a series of read/modify/write processes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-266177

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl.⁵

G 0 6 F 15/64

識別記号

4 5 0 F 8840-5L

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-62956

(22)出願日 平成4年(1992)3月19日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 堀口 立二

東京都港区芝五丁目7番1号日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

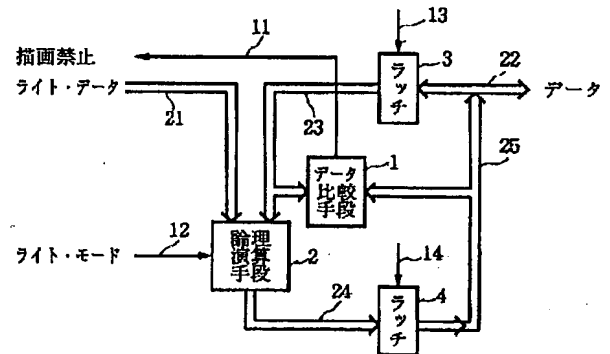
(54)【発明の名称】 描画装置

(57)【要約】

【目的】画像メモリに対する描画処理におけるリード／モディファイ／ライト処理の中で、不要なライト処理を省略し高速化を図る。

【構成】リード・データとモディファイ処理を行う論理演算手段2の出力データを比較するデータ比較手段1を備え、データの一致が確認された場合にライト処理禁止信号11を出力し、それに続くライト処理を省略する。

【効果】無駄なメモリ・アクセスを減らすことができるので描画処理を高速化できる。



【特許請求の範囲】

【請求項1】 画像メモリに対しリード／モディファイ／ライト処理で描画を行う描画装置において、前記画像メモリからリード処理によって得られたデータと前記モディファイ処理により得られたデータとの比較を行う比較手段を付加し、この比較手段によりデータの一致が検出されたとき、次に続くライト処理を省略するようにしたことを特徴とする描画装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタル描画装置に関し、特に画像メモリに対し描画を行う描画装置に関する。

【0002】

【従来の技術】 通常、画像メモリに対する描画は、CPU処理もしくはグラフィックス・コントローラなどを用いて、リード／モディファイ／ライトという3段階の処理で行う。

【0003】 図3はリード／モディファイ／ライト処理の概要を説明する模式図を示す。この例は、アドレス100番地の直線メモリ10に、ライト・データ1010101010101010(D)を、論理演算モードは‘OR’で描画する場合である。

【0004】 (1) リード処理

画像メモリから描画すべきアドレスのデータをリードする。通常、メモリはワードもしくはバイト単位でアクセスを行う。図3の例では、100番地のデータ00001111100001111(D)がリードされる。

【0005】 (2) モディファイ処理

描画しようとするライト・データに対し、あらかじめ指定された論理演算を用いて、前述のリード処理で得られたリード・データとライト・データとを論理演算処理する。このとき、描画すべきビットのみにマスク処理を施し、任意のビットに対してのみ論理演算を施し、他のビットは変化させないような処理を行う場合もある。図3の例では、(1)でリードされたデータ00001111100001111(D)とライト・データ1010101010101010(D)を‘OR’演算して、10101111110101111(D)が得られる。

【0006】 (3) ライト処理

前述のモディファイ処理で得られたデータ10101111110101111(D)を画像メモリのアドレス100番地へ書き戻す。

【0007】 以上、一連のリード／モディファイ／ライト処理により、画像メモリ上にデータが描画される。

【0008】

【発明が解決しようとする課題】 現在、グラフィックス処理における描画処理は、非常に高速性が要求されており、そのためにCPUやグラフィックス・コントローラの高速化はめざましいものがある。これに対し、普段よ

く使用するDRAMやVRAMなどのメモリの高速化はあまり進んでいない。そのためメモリへのリード／ライトのアクセス処理時間が全体の処理時間にしめる割合が増大しているのが現状である。そこでメモリへの無駄なアクセスを減らすのが、描画処理を高速化する重要なポイントの1つとなっている。

【0009】 前述した従来の描画方式では、リード／モディファイ／ライトという一連の処理で実行されるため、リードした結果とモディファイされた結果が同じ場合、本来ならば描画してもしなくてもメモリ上の結果は同一であるのに、必ず描画を行ってしまう。

【0010】 例えば、オール‘1’が描画されたメモリ上に‘OR’の論理演算で‘1’のデータの直線を描画する場合、リードしたデータとモディファイした結果のデータはどちらもオール‘1’で同一となるので、その後続くライト処理を実行してもしなくても結果は同じである。つまり、このような場合に、ライト処理を行うことは明らかに無駄な処理を行うことになり、処理速度の高速化の妨げとなる。

【0011】 本発明の目的は、無駄なライト処理を除き、処理速度を高速化した描画装置を提供することにある。

【0012】

【課題を解決するための手段】 本発明の構成は、画像メモリに対しリード／モディファイ／ライト処理で描画を行う描画装置において、前記画像メモリからリード処理によって得られたデータと前記モディファイ処理により得られたデータとの比較を行う比較手段を付加し、この比較手段によりデータの一致が検出されたとき、次に続くライト処理を省略するようにしたことを特徴とする。

【0013】

【実施例】 図1は本発明の一実施例におけるデータ処理部の構成要素を示すブロック図、図2は図1の動作を説明する模式図である。図中、1はデータ比較手段、2は論理演算手段、3、4はデータ・ラッチ、11はライト処理禁止信号、12は論理演算モード信号、13、14はデータ・ラッチ信号、21～25はデータ・バスである。

【0014】 次に、本実施例の動作を説明する。まず、データ・ラッチ3、4はデータ・ラッチ信号13、14に基づきデータ・バス22、24のデータを記憶し、次にデータ・ラッチ信号13、14が入力されるまでその値をデータ・バス23、25に出力し続ける。

【0015】 論理演算手段2は予め設定されたライト・データとデータ・バス23のデータとを、やはり予め論理演算モード信号12で指定された論理演算モードで論理演算し、その結果をデータ・バス24に出力する。比較手段1はデータ・バス23のデータとデータ・バス25のデータとを比較し、一致している場合ライト処理禁止信号11を出力する。

3

【0016】次に、本実施例におけるリード／モディファイ／ライト処理の動作を図2を参照して説明する。この例はアドレス100番地の画像メモリ10に、ライト・データ101010101010101010 (D)を、論理演算モードは‘OR’で描画する場合であり、しかも100番地のメモリの内容が‘1111111111111111 (D)’であった場合である。予めライト・データとして‘101010101010101010 (D)’、論理演算モードは‘or’がデータ・バス21と論理演算モード信号12で与えられているものとすると、リード／モディファイ／ライト処理は以下のように進められていく。

【0017】(1) リード処理

画像メモリから100番地のデータをリードする。リードされたデータ‘1111111111111111 (D)’はデータ・バス22を介して、データ・ラッチ3に記憶する。

【0018】(2) モディファイ処理

ライト・データであるデータ・バス21のデータ‘101010101010101010 (D)’とデータ・ラッチ3からデータ・バス23に出力されたデータ‘1111111111111111 (D)’とを、論理演算モード信号12で指定された‘or’の論理演算モードで論理演算し、その結果‘1111111111111111 (D)’をデータ・バス24へ出力、データ・ラッチ4はデータ・バス24のデータを記憶する。その後、データ比較手段1によりデータ・バス23のデータ‘1111111111111111 (D)’とデータ・バス25のデータ‘1111111111111111 (D)’

10

(D)’の内容を比較する。本例では一致しているので、ライト処理禁止信号11がアクティブになり、ホスト側で本信号のアクティブを確認し、次に続くライト処理を禁止する。

【0019】以上の方法によって、一連のリード／モディファイ／ライト処理で無駄なライト処理を省くことができる。

【0020】

【発明の効果】以上説明したように本発明によれば、データの比較手段といった簡単な構成要素を追加するだけで、無駄なライト処理が省略され、描画処理を高速化することができ、特に高速化が要求される描画処理において、少しでもメモリ・アクセスが減らせるということは、描画処理の高速化のために多大な効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例における構成要素を示すブロック図である。

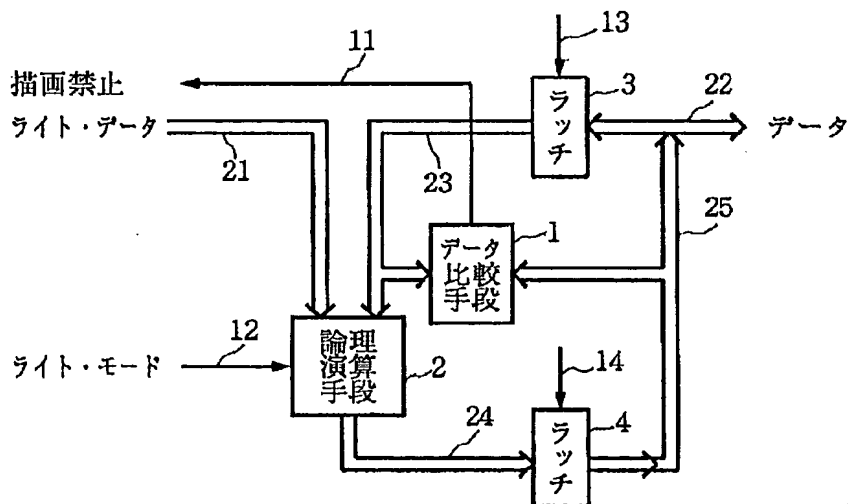
【図2】図1の実施例の動作例を示す模式図である。

【図3】従来例の動作例を示す模式図である。

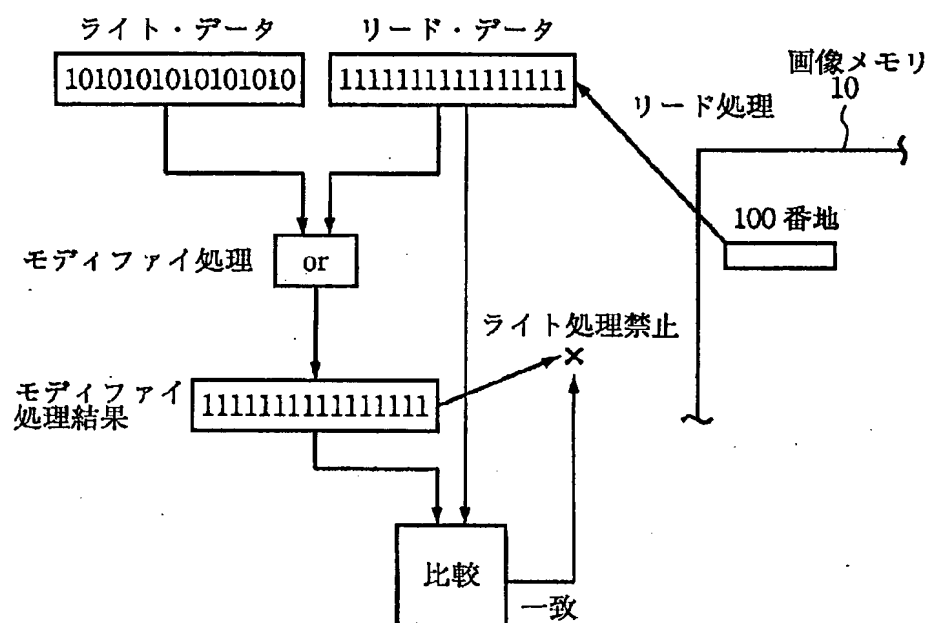
【符号の説明】

- 1 データ比較手段
- 2 論理演算手段
- 3, 4 データ・ラッチ
- 10 画像メモリ
- 11 ライト処理禁止信号
- 12 論理演算モード信号
- 13, 14 データ・ラッチ信号
- 21～25 データ・バス

【図1】



【図2】



【図3】

